

10-12-00
J

PATENTS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Masamoto TAGO et al.

Serial No. (unknown)

Filed herewith

SYSTEM SEMICONDUCTOR DEVICE
AND METHOD OF MANUFACTURING
THE SAME

JC836 U S 3331 PRO
09/613331 07/00
87/07/00

CLAIM FOR FOREIGN PRIORITY UNDER 35 U.S.C. 119
AND SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents

Washington, D.C. 20231

Sir:

Attached hereto is a certified copy of applicants' corresponding patent application filed in Japan on July 8, 1999 under No. 193962/1999.

Applicants herewith claim the benefit of the priority filing date of the above-identified application for the above-entitled U.S. application under the provisions of 35 U.S.C. 119.

Respectfully submitted,

YOUNG & THOMPSON

By

Robert J. Patch
Attorney for Applicants
Registration No. 17,355
745 South 23rd Street
Arlington, VA 22202
Telephone: 703/521-2297

July 7, 2000

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

U.S.

JC836 U.S. PTO
09/613331
07/07/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年 7月 8日

出願番号

Application Number:

平成11年特許願第193962号

出願人

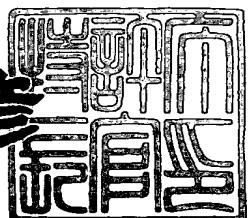
Applicant(s):

日本電気株式会社

2000年 5月26日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3039923

【書類名】 特許願
【整理番号】 35500520
【あて先】 特許庁長官殿
【国際特許分類】 H01L 25/00

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内
【氏名】 田子 雅基

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内
【氏名】 銀谷 明裕

【特許出願人】

【識別番号】 000004237
【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹
【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一
【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明
【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 008279

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 システム半導体装置及びシステム半導体装置の製造方法

【特許請求の範囲】

【請求項1】 半導体チップ上に特定の機能を実現するための単位回路である機能ブロックが形成されたシステムLSIセル部と、

半導体基板上に配線層が形成され、前記システムLSIセル部に貼り合わされて前記機能ブロックを相互に電気的接続するグローバル配線層とを具備することを特徴とするシステム半導体装置。

【請求項2】 前記システムLSIセル部は、半導体ウェハ上に複数形成され、

前記グローバル配線層は、半導体基板上に複数形成され、

前記半導体ウェハと前記半導体基板とは、貼り合わされた後に、各システム半導体装置毎に切断されて分離されることを特徴とする請求項1記載のシステム半導体装置。

【請求項3】 前記グローバル配線層は、半導体基板上に、第1の配線層と、絶縁層と、第2の配線層と、接着層とを積層して作製されることを特徴とする請求項1又は2の何れかに記載のシステム半導体装置。

【請求項4】 前記グローバル配線層は、有機材料からなる基板上に、第1の配線層と、絶縁層と、第2の配線層と、接着層とを積層して作製されることを特徴とする請求項1又は2の何れかに記載のシステム半導体装置。

【請求項5】 前記グローバル配線層は、半導体基板上に、第1の配線層と、絶縁層と、第2の配線層とを積層して作製され、かつ前記第2の配線層の表面にはインナーバンプが形成されることを特徴とする請求項1又は2の何れかに記載のシステム半導体装置。

【請求項6】 前記グローバル配線層は、有機材料からなる基板上に、第1の配線層と、絶縁層と、第2の配線層とを積層して作製され、

前記第2の配線層の表面にはインナーバンプが形成されることを特徴とする請求項1又は2の何れかに記載のシステム半導体装置。

【請求項7】 前記絶縁層は、前記第1の配線層と前記第2の配線層とを電

気的接続するピアが内部に形成されていることを特徴とする請求項1～6の何れかに記載のシステム半導体装置。

【請求項8】 前記グローバル配線層は、外部回路と電気的接続するパンプが表面に形成されることを特徴とする請求項1～7の何れかに記載のシステム半導体装置。

【請求項9】 前記半導体基板には、前記機能ブロックと外部回路とを電気的接続する埋込ピアが内部に形成されていることを特徴とする請求項3又は5の何れかに記載のシステム半導体装置。

【請求項10】 前記グローバル配線層は、前記配線層が少なくとも1層以上形成されていることを特徴とする請求項1～9の何れかに記載のシステム半導体装置。

【請求項11】 前記グローバル配線層は、前記絶縁層が少なくとも1層以上形成されていることを特徴とする請求項1～10の何れかに記載のシステム半導体装置。

【請求項12】 半導体チップ上に特定の機能を実現するための単位回路である機能ブロックを形成してシステムLSIセル部を作製し、

半導体基板上に配線層を形成してグローバル配線層を作製し、

前記システムLSIセル部と前記グローバル配線層とを貼り合わせることを特徴とするシステム半導体装置の製造方法。

【請求項13】 前記システムLSIセル部を、半導体ウェハ上に複数形成し、

前記グローバル配線層を、半導体基板上に複数形成し、

前記半導体ウェハと前記半導体基板とを、貼り合わせた後に、各システム半導体装置毎に切断して分離することを特徴とする請求項12記載のシステム半導体装置の製造方法。

【請求項14】 前記グローバル配線層を、半導体基板上に、第1の配線層と、絶縁層と、第2の配線層と、接着層とを積層して作製することを特徴とする請求項12又は13の何れかに記載のシステム半導体装置の製造方法。

【請求項15】 前記グローバル配線層を、有機材料からなる基板上に、第

1の配線層と、絶縁層と、第2の配線層と、接着層とを積層して作製することを特徴とする請求項12又は13の何れかに記載のシステム半導体装置の製造方法。

【請求項16】 前記グローバル配線層を、半導体基板上に、第1の配線層と、絶縁層と、第2の配線層とを積層して作製し、かつ前記第2の配線層の表面にインナーバンプを形成することを特徴とする請求項12又は13の何れかに記載のシステム半導体装置の製造方法。

【請求項17】 前記グローバル配線層を、有機材料からなる基板上に、第1の配線層と、絶縁層と、第2の配線層とを積層して作製し、

前記第2の配線層の表面にインナーバンプを形成することを特徴とする請求項12又は13の何れかに記載のシステム半導体装置の製造方法。

【請求項18】 前記絶縁層には、前記第1の配線層と前記第2の配線層とを電気的接続するピアを内部に形成することを特徴とする請求項12～17の何れかに記載のシステム半導体装置の製造方法。

【請求項19】 前記グローバル配線層には、外部回路と電気的接続するバンプを表面に形成することを特徴とする請求項12～18の何れかに記載のシステム半導体装置の製造方法。

【請求項20】 前記半導体基板には、前記機能ブロックと外部回路とを電気的接続する埋込ピアを内部に形成することを特徴とする請求項14又は16の何れかに記載のシステム半導体装置の製造方法。

【請求項21】 前記グローバル配線層には、前記配線層を少なくとも1層以上形成することを特徴とする請求項12～20の何れかに記載のシステム半導体装置の製造方法。

【請求項22】 前記グローバル配線層には、前記絶縁層を少なくとも1層以上形成することを特徴とする請求項12～21の何れかに記載のシステム半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はシステム半導体装置及びシステム半導体装置の製造方法に関し、特に複数の機能ブロックを組み合わせて構成される、システム半導体装置及びシステム半導体装置の製造方法に関する。

【0002】

【従来の技術】

従来より、特定の機能を実現する回路単位である機能ブロックを複数組み合わせて構成することにより、複雑な機能をワンチップ上に集積化した、いわゆるシステムLSI (Large-Scale-Integrated circuit: 大規模集積回路) が存在する。

【0003】

従来のシステムLSIの製造方法では、シリコンチップ上に複数の機能ブロックを作製した後、これら複数の機能ブロックを相互に電気的接続する回路配線を、シリコンチップの表面に金属蒸着や金属メッキ等することにより形成し、この上に絶縁層を形成し、これら回路配線層と絶縁層を順次積層していき、シリコンチップ上に多層配線層であるグローバル配線層を形成していた。

【0004】

このように従来例のシステムLSIでは、シリコンチップ上に多数の回路配線層と多数の絶縁層を何度も積層することにより作製していた。

【0005】

【発明が解決しようとする課題】

しかしながら、前記従来例のシステムLSIには、以下のような問題があった。

【0006】

第1点として、歩留まりが低い問題があった。その理由は、多数の回路配線層と絶縁層を積層して作製しているので、外部応力が加わったリストレスマイグレーション等が発生すると、回路配線層と絶縁層とが剥離する等の物理的強度の低下や、更にこれにより層間の電気的接続が損なわれ電気的接続信頼性の低下が発生し易かったからである。

【0007】

第2点として、製造リードタイムが長くなる問題があった。その理由は、システムLSIセルを作製する工程の後、このシステムLSIセル上に多数の回路配線層と絶縁層を交互に積層するための、複雑かつ多数の工程が不可欠であったからである。

【0008】

第3点として、グローバル配線層の材料や製造プロセスの選択自由度が低い問題があった。その理由は、グローバル配線層の製造プロセスや、回路配線層及び絶縁層の材料が積層工程により制限されるので、これら製造プロセスや材料を自由に選択できなかったからである。

【0009】

第4点として、物理的特性及び電気的特性が劣り、作製コストが高い問題があった。その理由は、グローバル配線層の製造プロセスや、回路配線層及び絶縁層の材料が積層工程により制限されるので、これら製造プロセスや材料を自由に選択できなかったからである。

【0010】

第5点として、高周波信号に対する電気的特性が悪い問題があった。その理由は、システムLSIセル部とグローバル配線層とが相互に隣接して配置されているため、相互に誘電率を高めあっており、回路のインピーダンスが増大していたからである。

【0011】

ここにおいて本発明は、作製工程が簡素で、作製コストが低減でき、物理的、電気的特性を改善した、システム半導体装置及びシステム半導体装置の製造方法を提供する。

【0012】

【課題を解決するための手段】

前記課題を解決するため、本発明は次の新規な特徴的手法及び手段を採用する

【0013】

本発明のシステム半導体装置の特徴は、半導体チップ（図1（b）の1）上に

特定の機能を実現するための単位回路である機能ブロック（2～6）が形成されたシステムLSIセル部（7）と、半導体基板（11）上に配線層（13，15）が形成され、システムLSIセル部（7）に貼り合わされて機能ブロック（2～6）を相互に電気的接続するグローバル配線層（8）とを具備することにある。

【0014】

本発明のシステム半導体装置の製造方法の特徴は、半導体チップ1（図1（b）の1）上に特定の機能を実現するための単位回路である機能ブロック（2～6）を形成してシステムLSIセル部（7）を作製し、半導体基板（11）上に配線層（13，15）を形成してグローバル配線層（8）を作製し、システムLSIセル部（7）とグローバル配線層（8）とを貼り合わせることにある。

【0015】

このような手法及び手段を採用したことにより、本発明のシステム半導体装置及びシステム半導体装置の製造方法によれば、システムLSIセル部とグローバル配線層と独立して作製した後、最終的にこれらを一体化して作製できるようになる。

【0016】

【発明の実施の形態】

本発明の各実施の形態を以下に説明する。

【0017】

以下、各断面図は、図1（a）のI—I線と同位置から見た断面図であるとする。又、各断面図とも構造がかなり細かいので、判読し難くなるのを避けるため、各断面図には敢えてハッチングを入れないこととする。

【0018】

（第1の実施の形態）

図1（a）は本発明の第1の実施の形態のシステムLSI10の平面図、図1（b）はI—I線視正断面図である。

【0019】

図2（a）は本発明の第1の実施の形態のシステムLSI10におけるシス

ムLSIセル部7の平面図、図2（b）はII-II線視正断面図である。

【0020】

図3（a）は本発明の第1の実施の形態のシステムLSI10におけるグローバル配線層8の平面図、図3（b）はIII-III線視正断面図である。

【0021】

図1（a）、（b）に示すシステムLSI10は、図2（a）、（b）に示すシステムLSIセル部7に、図3（a）、（b）に示すグローバル配線層8を裏返して貼り合わせて構成されている。即ち、このシステムLSI10は、機能ブロック2～6が形成されたシステムLSIセル部7と、システムLSIセル部7上に形成された機能ブロック2～6を相互に電気的接続するグローバル配線層8とが積層された構造を持つ。

【0022】

図2（a）、（b）に示すシステムLSIセル部7は、シリコンチップ1と、シリコンチップ1の表面に形成された機能ブロック2～6とからなる。

【0023】

シリコンチップ1は、シリコンウェハ等の各種の半導体ウェハ等をダイシング加工して切り離して形成される。このシリコンチップ1は、シリコンにより実現したが、これ以外にも任意の半導体材料を用いても良い。

【0024】

機能ブロック2～6は、それぞれメモリやマイクロコンピュータ等として特定の機能を実現するための単位回路であり、シリコンチップ1の表面の各部分に対して、パターン形成、イオン注入、ステッパ加工等の処理を経て作製され、表面に電極となるパッド2a～6aが設けられている。

【0025】

図3（a）、（b）に示すグローバル配線層8は、シリコン基板11と、埋込みピア12と、第1の配線層13と、絶縁層14と、第2の配線層15と、接着層16とからなり、システムLSIセル部7上の機能ブロック2～6を相互に電気的接続すると共に外部回路へ電気的に接続する。

【0026】

シリコン基板11は、シリコンウェハ等の各種の半導体ウェハ等をダイシング加工して切り離して形成される。

【0027】

埋込ピア12は、シリコン基板11の内部に埋め込み形成され、シリコン基板11内部を垂直方向に貫通して、機能ブロック2~6と外部回路とを電気的接続する導電部材であり、選択CVD（化学的気相成長）法や金属メッキや導電ペースト等により形成されている。

【0028】

第1の配線層13は、シリコン基板11の表面に銅等の各種金属等の導電性材料を特定のパターン形状に形成しており、埋込ピア12とピア14aとを電気的接続する。この第1の配線層13となる金属膜の形成方法としてはメッキ法やスパッタリング法等がある。

【0029】

絶縁層14は、第1の配線層13の表面に絶縁材料を被着して形成しており、第1の配線層13と第2の配線層15とを電気的に絶縁する。この絶縁層14の絶縁材料としては、 SiO_x や SiN_x 等のシリコン化合物、ポリイミド等の有機材料、フッ化化合物等が用いられる。この絶縁層14の特定位置には、第1の配線層13と第2の配線層15とを電気的接続するピア14が選択CVD法や金属メッキや導電ペースト等により形成されている。このピア14の材料としては銅、銅合金等が用いられる。

【0030】

第2の配線層15は、絶縁層14の表面に各種金属等の導電性材料を特定のパターン形状に形成しており、ピア14aと機能ブロック2~6の電極2~6とを電気的接続する。この第2の配線層15となる金属膜の形成方法としてはメッキ法やスパッタリング法等がある。

【0031】

接着層16は、熱硬化性樹脂や光硬化性樹脂等の各種の接着材料からなり、第2の絶縁層15の表面に形成される。

【0032】

上記のグローバル配線層8の第1、第2の配線層13、15には、Al、Al合金、Cu、Cu合金等が用いられるが、これ以外にも任意の導電性材料を用いても良い。

【0033】

同様に絶縁層14には、シリコン酸化膜、シリコン窒化膜、ポリイミド等が用いられるが、この以外にも任意の絶縁材料を用いても良い。

【0034】

同様に埋込ピア12、ピア14aは、埋込ピア12、ピア14a内部表面にCu等の導電性金属を選択CVD法等により形成したり、Cu等の導電性金属をメッキ形成したり、金属粉末が混合された導電性ペーストを埋込ピア12、ピア14a内に充填し硬化させる等の方法により形成されるが、これ以外にも任意の導電性材料を用いて任意の方法で形成しても良い。

【0035】

次に本発明の第1の実施の形態のシステムLSI10の製造方法を説明する。

【0036】

図4(a)は本発明の第1の実施の形態のシステムLSI10の製造方法におけるシステムLSIセル部7の第1工程を示す正断面図、図4(b)は第2工程を示す正断面図、図4(c)は第3工程を示す正断面図である。

【0037】

シリコンウェハをダイシングし分離された図4(a)に示すシリコンチップ1に対して、シリコンチップ1上にパターン形成、イオン注入、ステッパ加工等の処理を経て図4(b)に示すように機能ブロック2～6を形成する。機能ブロック2～6内の各ゲート間の接続は通常のLSIの配線層の構造で用いられているポリシリコンやアルミニウム配線が用いられる。

【0038】

次に各機能ブロック2～6間を接続するための外部端子を形成する。このため図4(c)に示すように機能ブロック2～6の表面の特定箇所にパッド2a～6aを形成する。パッド2a～6aの機能ブロック2～6間の接続ネット数は機能ブロック2～6内の接続ネット数に比べて大幅に少ないため、上記のパッド2a

～6aの数はそれほど多くなくても良い。このため、パッド2a～6aのサイズは10μm、パッド2a～6a間のピッチは20μmあれば、十分に接続可能な数のパッド2a～6aを形成できる。このパッド2a～6aは、銅や金、金すずはんだ、すず鉛はんだ等の金属膜で形成する。このようにしてシステムLSIセル部7が完成する。

【0039】

図5(a)は本発明の第1の実施の形態のシステムLSI10の製造方法におけるグローバル配線層8の第1工程を示す正断面図、図5(b)は第2工程を示す正断面図、図5(c)は第3工程を示す正断面図、図5(d)は第4工程を示す正断面図、図5(e)は第5工程を示す正断面図、図5(f)は第6工程を示す正断面図である。

【0040】

図5(a)に示すシリコン基板11の表面から、選択CVD法や金属メッキ法等を用いて図5(b)に示すようにシリコン基板11の内部に埋込ビア12を形成する。

【0041】

次に図5(c)に示すように、シリコン基板11の表面に、Cu等の導電性材料をスパッタリングやメッキで形成し、露光現像しパターニングして第1の配線層13を形成する。

【0042】

次に図5(d)に示すように、第1の配線層13の表面に、絶縁層14を被着させた後、この絶縁層14の特定箇所にこの絶縁層14を貫通して第1の配線層13と第2の配線層15とを相互に電気的接続するビア14aを形成する。

【0043】

次に図5(e)に示すように、絶縁層14及びビア14aの表面に、CuやAu等の導電性材料をスパッタリング又はメッキで形成し、露光現像しパターニングして第2の配線層15を形成する。

【0044】

次に図5(f)に示すように、グローバル配線層8表面の第2の配線層15が

形成された領域以外の領域に熱硬化型接着剤等を供給して接着層16を形成することにより、グローバル配線層8が完成する。

【0045】

本実施の形態では、一例としてグローバル配線層8のプロセスルールを、線幅 $10\mu\text{m}$ 、配線間隔 $10\mu\text{m}$ 、第1、第2の配線層13、15の導体厚 $3\mu\text{m}$ 、絶縁層14の絶縁厚 $10\mu\text{m}$ としている。

【0046】

このような比較的ゆるいプロセスルールでグローバル配線層8を形成できるようになるので、システムLSIセル部7を形成する実装設備とは別のより安価な設備を利用して、グローバル配線層8のみを独立して作製できるようになる。

【0047】

又、グローバル配線層8として、第1、第2の配線層13、15と絶縁層14を用いたが、これら配線層や絶縁層の層数は何れも、単層であっても複数層であっても構わない。

【0048】

図6(a)は本発明の第1の実施の形態のシステムLSI10の製造方法の第1工程を示す正断面図、図6(b)は第2工程を示す正断面図、図6(c)は第3工程を示す正断面図である。

【0049】

図6(a)に示すように、図示しないステージ上に載置された図4(c)のシステムLSIセル部7上に、図5(f)のグローバル配線層8を裏返して搬送し、図示しない撮像カメラ等の位置確認手段を用いてシステムLSIセル部7のパッド2a～6aとグローバル配線層8の第2の配線層15とが対峙するよう位置合わせする。

【0050】

次に図6(b)に示すように、LSIセル部7とグローバル配線層8とを重ね合わせて上下から加圧し加熱する。

【0051】

すると、接着層16が熱硬化してシステムLSIセル部7とグローバル配線層

8が接着硬化すると共に、システムLSIセル部7のパッド2a～6aとグローバル配線層8の第2の配線層15が接合し、相互に電気的接続される。

【0052】

最後に図6(c)に示すように、グローバル配線層8の上側からシリコン基板11を研磨していき、埋込ビア12を表面に露出させて外部回路への電極とすることにより、システムLSI10が完成する。

【0053】

このように本実施の形態では、システムLSIセル部7とグローバル配線層8とを独立して作製した後、これらを貼り合わせて作製できるようになる。

【0054】

本実施の形態では、システムLSIセル部7とグローバル配線層8とを貼り合わせた後、埋込ビア12を表面に露出させたが、貼り合わせ工程以前に埋込ビア12を表面に露出させた後、貼り合わせてシステムLSI10を作製することもできる。

【0055】

(第2の実施の形態)

図7は本発明の第2の実施の形態のシステムLSI10の正断面図である。本実施の形態のシステムLSI10は、前記第1の実施の形態のシステムLSI10とほぼ同様の構造を持つが、グローバル配線層8として、シリコン基板11に代えて、エポキシ樹脂やポリイミド等の有機材料を基材として用いたいわゆる有機基板を用いた点が異なる。この有機基板は厚さが比較的薄く可撓性に富むフレキシブル基板が好適である。

【0056】

次に本発明の第2の実施の形態のシステムLSI10の製造方法を説明する。

【0057】

図8(a)は本発明の第2の実施の形態のシステムLSI10の製造方法におけるグローバル配線層8の第1工程を示す正断面図、図8(b)は第2工程を示す正断面図、図8(c)は第3工程を示す正断面図、図8(d)は第4工程を示す正断面図、図8(e)は第5工程を示す正断面図である。

【0058】

最初に図4 (a) ~ (c) と同様に、シリコンチップ1の表面に機能ブロック2~6を形成し、システムLSIセル部7を完成する。

【0059】

次に図8 (a) に示すように、公知の多層配線板の形成方法を用いて、多数の二次配線20aを内部に積層して二次配線層20を形成する。

【0060】

次に図8 (b) ~ (e) に示すように、図5 (b) ~ (e) と同様に、グローバル配線層8を作製する。

【0061】

図9 (a) は本発明の第2の実施の形態のシステムLSI10の製造方法におけるシステムLSI10の第1工程を示す正断面図、図9 (b) は第2工程を示す正断面図、図9 (c) は第3工程を示す正断面図、図9 (d) は第4工程を示す正断面図である。

【0062】

次に図9 (a) に示すように、図示しないステージ上に載置された図4 (c) のシステムLSIセル7上に、図8 (e) のグローバル配線層8を裏返して搬送し、図示しない撮像カメラ等の位置確認手段を用いてシステムLSIセル部7のパッド2a~6aとグローバル配線層8の第2の配線層15とが対峙するよう位置合わせする。

【0063】

次に図9 (b) に示すように、LSIセル部7とグローバル配線層8とを重ね合わせて上下から加圧し加熱する。

【0064】

すると、接着層16が熱硬化してシステムLSIセル部7とグローバル配線層8が接着硬化すると共に、システムLSIセル部7のパッド2a~6aとグローバル配線層8の第2の配線層15が接合し、相互に電気的接続される。

【0065】

最後に図9 (c) に示すように、グローバル配線層8の上側に露出した二次配

線20aの表面にハンダボールを供給し溶着させる等してバンプ26を形成することにより、システムLSI10が完成する。

【0066】

このように本実施の形態では、グローバル配線層8の材料を、第1の実施の形態の半導体基板であるシリコン基板11に代えて有機材料からなる有機基板を用いている。これにより、機能ブロック2～6とバンプ26とを電気的接続する二次配線層20もグローバル配線層8と一体構成できるようになり、物理的強度が高まると共に電気的接続信頼性が高まる。又、有機配線基板に一般的に利用できる低コストな技術を適用できるようになる。

【0067】

(第3の実施の形態)

図10は本発明の第3の実施の形態のシステムLSI10の正断面図である。本実施の形態のシステムLSI10は、前記第1の実施の形態のシステムLSI10とほぼ同様の構造を持つが、システムLSIセル部7とグローバル配線層8とをインナーバンプ30を介して空間31をあけて接続した点が異なっている。

【0068】

次に本発明の第3の実施の形態のシステムLSI10の製造方法を説明する。

【0069】

図11(a)は本発明の第3の実施の形態のシステムLSI10の製造方法におけるグローバル配線層8の第1工程を示す正断面図、図11(b)は第2工程を示す正断面図、図11(c)は第3工程を示す正断面図、図11(d)は第4工程を示す正断面図、図11(e)は第5工程を示す正断面図、図11(f)は第6工程を示す正断面図である。

【0070】

最初に図4(a)～(c)と同様の手順により、システムLSIセル部7を完成する。

【0071】

次に図5(a)～(e)と同様に、図11(a)～(e)に示すようにグローバル配線層8を作製する。

【0072】

次に図11(f)に示すように第2の配線層15の表面の特定位置にハンダボールを供給する等してインナーバンプ30をグローバル配線層8上に形成する。

【0073】

図12(a)は本発明の第3の実施の形態のシステムLSI10の製造方法におけるシステムLSI10の第1工程を示す正断面図、図12(b)は第2工程を示す正断面図、図12(c)は第3工程を示す正断面図である。

【0074】

次に図12(a)に示すように、図示しないステージ上に載置された図4(c)のシステムLSIセル部7上に、図11(e)のグローバル配線層8を裏返して搬送し、図示しない撮像カメラ等の位置確認手段を用いて、システムLSIセル部7のパッド2a~6aとグローバルはい戦争8のインナーバンプ30とが対峙するよう位置合わせする。

【0075】

次に図12(b)に示すようにシステムLSIセル部7とグローバル配線層8とを上下から加圧し加熱してインナーバンプ30を溶融させた後に冷却し、システムLSIセル部7とグローバル配線層8とをインナーバンプ30を介して空間31を開けて接続する。

【0076】

最後に図12(c)に示すように、グローバル配線層8の上側からシリコン基板11を研磨していく、外部回路との接続端子となる埋込ビア12を表面に露出させることにより、システムLSI10が完成する。

【0077】

このように本実施の形態では、システムLSIセル部7とグローバル配線層8をインナーバンプ30を介して接続し空間31を開けるようにしたので、システムLSIセル部7に対して誘電体であるグローバル配線層8が隣接配置されなくなり、システムLSIセル部7及びグローバル配線層8間の電気的分離が良くなり、高周波信号に対する電気的特性が向上する。具体的にはクロストークノイズが小さくなり、また伝送遅延時間も短くなる。

【0078】

電気的特性より物理的特性が優先される場合は、この空間31を樹脂等の充填材料により封止しても良い。

【0079】

(第4の実施の形態)

図13は本発明の第4の実施の形態のシステムLSI10の正断面図である。本実施の形態のシステムLSI10は、前記第2及び第3の実施の形態のシステムLSI10の特徴を組合せたものである。

【0080】

次に本発明の第4の実施の形態のシステムLSI10の製造方法を説明する。

【0081】

最初に図4(a)～(c)と同様に、シリコンチップ1の表面に、機能プロック2～6を形成し、システムLSIセル部7を完成する。

【0082】

図14(a)は本発明の第4の実施の形態のシステムLSI10の製造方法におけるグローバル配線層8の第1工程を示す正断面図、図14(b)は第2工程を示す正断面図、図14(c)は第3工程を示す正断面図、図14(d)は第4工程を示す正断面図、図14(e)は第5工程を示す正断面図である。

【0083】

次に図8(a)～(d)と同様に、図14(a)～(d)に示すように、二次配線20aが形成された二次配線層20を形成する。

【0084】

次に図14(e)に示すように、システムLSIセル部7と接続するためのインナーバンプ30を、第2の配線層15上へハンダボールを供給し溶着させる等して形成し、グローバル配線層8を作製する。

【0085】

図15(a)は本発明の第4の実施の形態のシステムLSI10の製造方法におけるシステムLSI10の第1工程を示す正断面図、図15(b)は第2工程を示す正断面図、図15(c)は第3工程を示す正断面図である。

【0086】

次に図12(a)～(b)と同様に、図15(a)～(b)に示すようにシステムLSIセル部7とグローバル配線層8とを接続する。

【0087】

最後に図9(c)と同様に、図15(c)に示すようにバンプ26を形成することにより、システムLSI10が完成する。

【0088】

このように本実施の形態では、グローバル配線層8の材料を、第1の実施の形態の半導体基板であるシリコン基板11に代えて有機材料からなる有機基板を用いている。これにより、機能ブロック2～6とバンプ26を電気的接続する二次配線層20もグローバル配線層8と一体構成できるようになり、物理的強度が高まると共に電気的接続信頼性が高まる。又、有機配線基板に一般的に利用できる低コストな技術を適用できるようになる。

【0089】

その上、システムLSIセル部7とグローバル配線層8をインナーバンプ30を介して接続し空間31をあけるようにしたので、システムLSIセル部7に対して誘電体であるグローバル配線層8が隣接配置されなくなり、システムLSIセル部7及びグローバル配線層8のインピーダンスが低下し、高周波信号に対する電気的特性が向上する。

【0090】

(第5の実施の形態)

図16(a)は本発明の第5の実施の形態のシステムLSI10の製造方法の第1工程の概念説明斜視図、図16(b)は第2工程の概念説明斜視図、図16(c)は第3工程の概念説明斜視図、図16(d)は第4工程の概念説明斜視図、図16(e)は第5工程の概念説明斜視図である。

【0091】

前記第1～第4の実施の形態では、半導体ウェハからダイシングされて分離された個々のシリコンチップ1上にシステムLSIセル部7を作製した後、このシリコンチップ1と同一の寸法を持つシリコン基板11から作製されたグローバル

配線層8を貼り合わせて作製する方法を説明した。

【0092】

これに対して本実施の形態では、ダイシング前のシリコンウェハ101上に複数のシステムLSIセル部7を作製し、シリコン基板111上に複数のグローバル配線層8を作製し、これらシリコンウェハ101とシリコン基板111を貼り合わせた後、このシリコンウェハ101とシリコン基板111とを一体化したものをダイシングし、個別のシステムLSI10に切り離して作製する方法を採用している。

【0093】

最初に図16(a)に示すように、シリコンウェハ101上にスパッタリング、現像露光、パターニング等して、シリコンウェハ101上にシステムLSIセル部7を平面方向に多数並べて形成する。

【0094】

次に図16(b)に示すように、シリコン基板111上に前記第1～第4の実施の形態と同様に第1の配線層13、絶縁層14、第2の配線層15、接着層16又はインナーバンプ30を形成することにより、グローバル配線層8を平面方向に多数並べて形成する。

【0095】

次に図16(c)に示すように、シリコンウェハ101上にシリコン基板111を裏返して搬送して位置合わせし、シリコンウェハ101とシリコン基板111とを対峙させる。

【0096】

次に図16(d)に示すように、加圧加熱ローラ50によりシリコンウェハ101とシリコン基板111とを上下から加圧し加熱し貼り合わせる。

【0097】

最後に図16(e)に示すように、張り合わされたシリコンウェハ101とシリコン基板111の一体物をダイシングし、各システム半導体10に分離する。

【0098】

このように本実施の形態では、シリコンウェハ101上に形成した複数のシス

テムLSIセル部7と、シリコン基板111上に形成した複数のグローバル配線層8とを貼り合わせた後、ダイシングして各システム半導体10に分離して作製できるようになる。

【0099】

尚、前記第1～第5の実施の形態においてシリコンチップ1、シリコン基板11を、第5の実施の形態においてシリコンウェハ101、シリコン基板111を例示したが、これらの材質はシリコンに限定されず、各種の半導体材料、例えばGaN（ガリウムーヒ素）等を用いても良い。

【0100】

尚、前記第2、第4の実施の形態のみ、グローバル配線層8にパンプ26を設けたが、他の実施の形態においても、埋込ビア12の露出した表面にパンプ26を設けても良い。

【0101】

尚、前記第3、第4の実施の形態において、システムLSIセル部7にパッド2a～6aを、グローバル配線層8に第2の配線層15を形成することとしたが、これとは逆に、グローバル配線層8にパッドを設け、システムLSIセル部7にパッドやパンプを形成しても良い。

【0102】

又、グローバル配線層8の最終工程において接着剤16を供給したが、システムLSIセル部7とグローバル配線層8とを貼り合わせる工程群の任意の工程において接着剤16を供給しても良い。

【0103】

又、接着層16やインナーパンプ30は、グローバル配線層8に代えてシステムLSIセル部7に形成しても良い。

【0104】

【発明の効果】

以上のような手法及び手段を採用したことにより、本発明のシステム半導体装置及びシステム半導体装置の製造方法は、次のような効果を發揮する。

【0105】

第1点として、歩留まりを向上できる利点がある。その理由は、機能ブロックからなるシステムLSIセル部とグローバル配線層とを互いに独立した工程で製造した後、これらを貼り合わせるだけの工程により容易に作製できるからである。

【0106】

第2点として、製造リードタイムを短縮できる利点がある。その理由は、機能ブロックを持つシステムLSIセル部とグローバル配線層とを互いに独立した工程で製造した後、これらを貼り合わせるだけの工程により容易に作製できるからである。

【0107】

第3点として、グローバル配線層の材料や製造プロセスの選択自由度を向上できる利点がある。その理由は、グローバル配線層を独立して作製でき、また実装設備も安価なものを使用できるからである。

【0108】

第4点として、物理的特性及び電気的特性を向上し、作製コストを低減できる利点がある。その理由は、グローバル配線の製造プロセスや材料の選択範囲が広がるからである。

【0109】

第5点として、高周波信号に対する電気的特性を向上できる利点がある。その理由は、機能ブロックとグローバル配線層の貼り合わせにバンプを用いることにより、機能ブロックとグローバル配線層との間に空間ができるて誘電率が低下し、高周波特性が向上すると共に、不要な電気的結合が弱まるからである。

【図面の簡単な説明】

【図1】

(a) は本発明の第1の実施の形態のシステムLSI10の平面図、(b) はI-I線観正断面図である。

【図2】

(a) は本発明の第1の実施の形態のシステムLSI10におけるシステムLSIセル部7の平面図、(b) はII-II線観正断面図である。

【図3】

(a) は本発明の第1の実施の形態のシステムLSI10におけるグローバル配線層8の平面図、(b) はIII-III線視正断面図である。

【図4】

(a) は本発明の第1の実施の形態のシステムLSI10の製造方法におけるシステムLSIセル部7の第1工程を示す正断面図、(b) は第2工程を示す正断面図、(c) は第3工程を示す正断面図である。

【図5】

(a) は本発明の第1の実施の形態のシステムLSI10の製造方法におけるグローバル配線層8の第1工程を示す正断面図、(b) は第2工程を示す正断面図、(c) は第3工程を示す正断面図、(d) は第4工程を示す正断面図、(e) は第5工程を示す正断面図、(f) は第6工程を示す正断面図である。

【図6】

(a) は本発明の第1の実施の形態のシステムLSI10の製造方法におけるシステムLSI10の第1工程を示す正断面図、(b) は第2工程を示す正断面図、(c) は第3工程を示す正断面図である。

【図7】

本発明の第2の実施の形態のシステムLSI10の正断面図である。

【図8】

(a) は本発明の第2の実施の形態のシステムLSI10の製造方法におけるグローバル配線層8の第1工程を示す正断面図、(b) は第2工程を示す正断面図、(c) は第3工程を示す正断面図、(d) は第4工程を示す正断面図、(e) は第5工程を示す正断面図である。

【図9】

(a) は本発明の第2の実施の形態のシステムLSI10の製造方法におけるシステムLSI10の第1工程を示す正断面図、(b) は第2工程を示す正断面図、(c) は第3工程を示す正断面図、(d) は第4工程を示す正断面図である。

【図10】

本発明の第3の実施の形態のシステムLSI10の正断面図である。

【図11】

(a) は本発明の第3の実施の形態のシステムLSI10の製造方法におけるグローバル配線層8の第1工程を示す正断面図、(b) は第2工程を示す正断面図、(c) は第3工程を示す正断面図、(d) は第4工程を示す正断面図、(e) は第5工程を示す正断面図、(f) は第6工程を示す正断面図である。

【図12】

(a) は本発明の第3の実施の形態のシステムLSI10の製造方法におけるシステムLSI10の第1工程を示す正断面図、(b) は第2工程を示す正断面図、(c) は第3工程を示す正断面図である。

【図13】

本発明の第4の実施の形態のシステムLSI10の正断面図である。

【図14】

(a) は本発明の第4の実施の形態のシステムLSI10の製造方法におけるグローバル配線層8の第1工程を示す正断面図、(b) は第2工程を示す正断面図、(c) は第3工程を示す正断面図、(d) は第4工程を示す正断面図、(e) は第5工程を示す正断面図である。

【図15】

(a) は本発明の第4の実施の形態のシステムLSI10の製造方法におけるシステムLSI10の第1工程を示す正断面図、(b) は第2工程を示す正断面図、(c) は第3工程を示す正断面図である。

【図16】

(a) は本発明の第5の実施の形態のシステムLSI10の製造方法におけるシステムLSI10の第1工程を示す概念説明斜視図、(b) は第2工程を示す概念説明斜視図、(c) は第3工程を示す概念説明斜視図、(d) は第4工程を示す概念説明斜視図、(e) は第5工程を示す概念説明斜視図である。

【符号の簡単な説明】

1 シリコンチップ

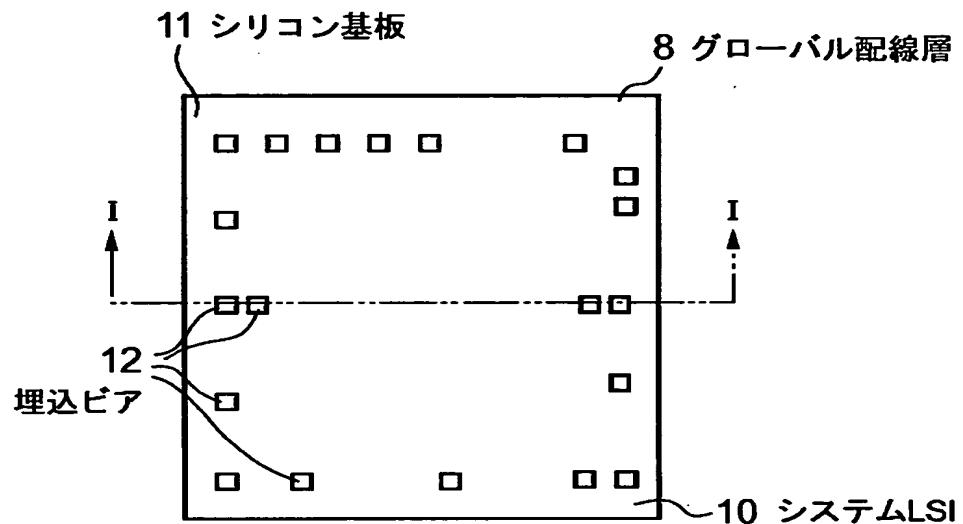
2~6 機能ブロック

- 7 システムLSIセル部
- 8 グローバル配線層
- 10 システムLSI
- 11 シリコン基板
- 12 埋込ピア
- 13 第1の配線層
- 14 絶縁層
- 15 第2の配線層
- 16 接着層
- 20 二次配線層
- 26 バンプ
- 30 インナーバンプ
- 31 空間
- 50 加圧加熱ローラ
- 101 シリコンウェハ
- 111 シリコン基板

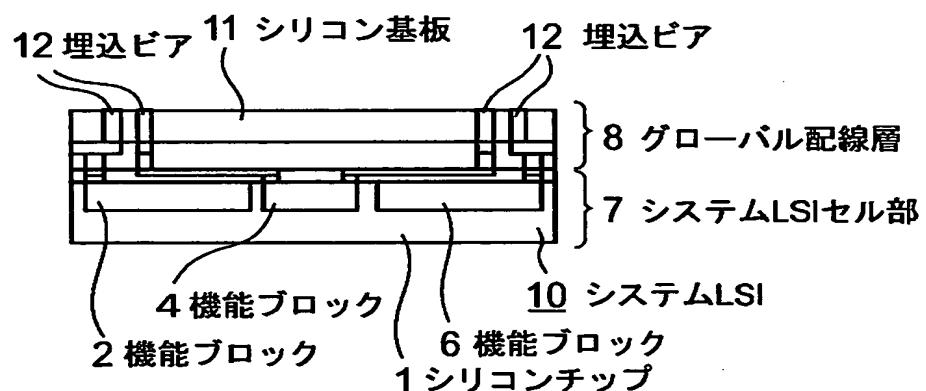
【書類名】 図面

【図1】

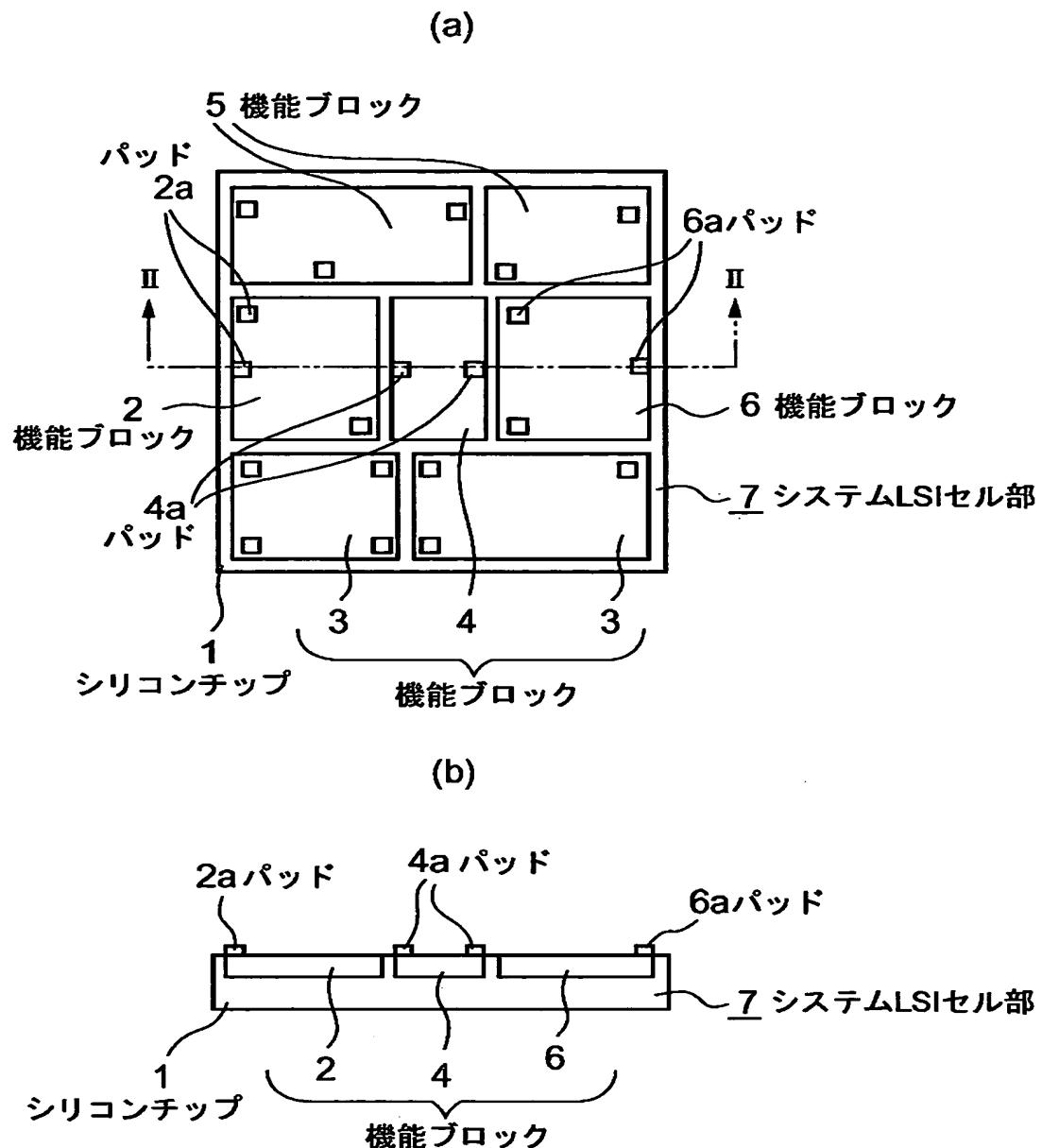
(a)



(b)

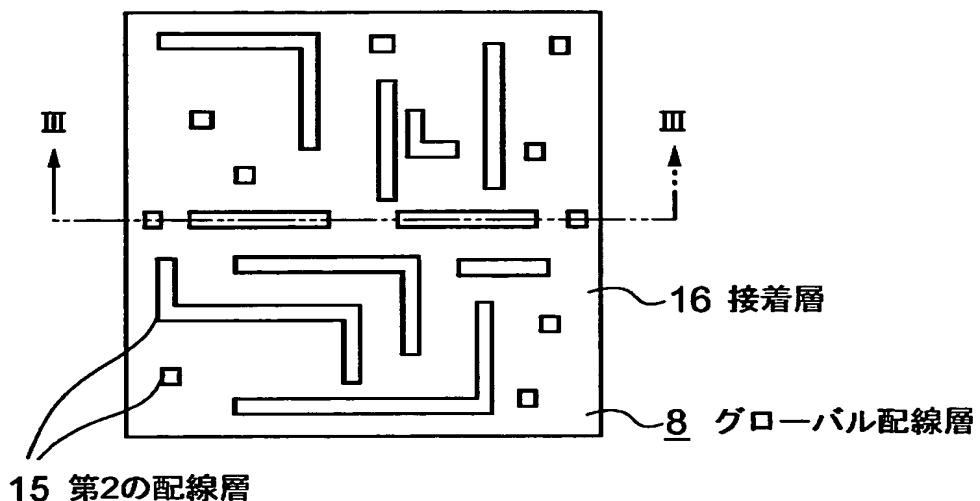


【図2】

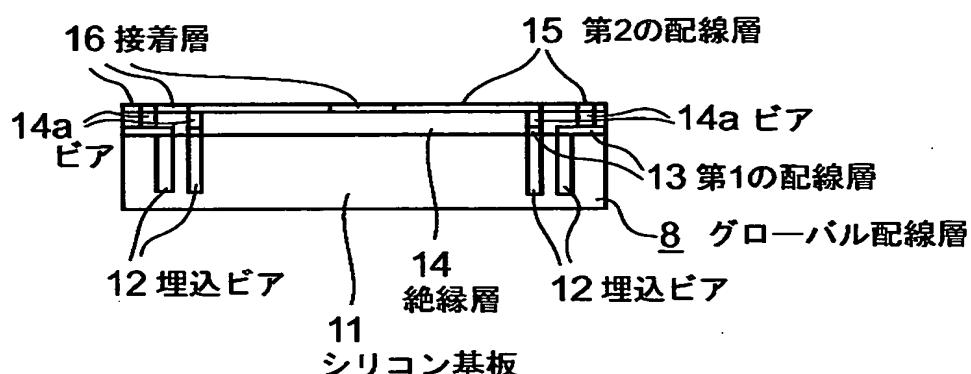


【図3】

(a)

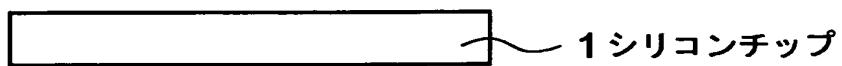


(b)

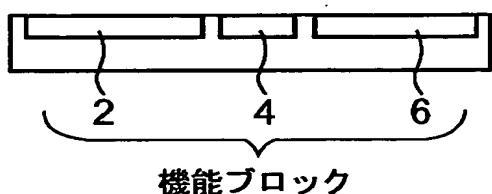


【図4】

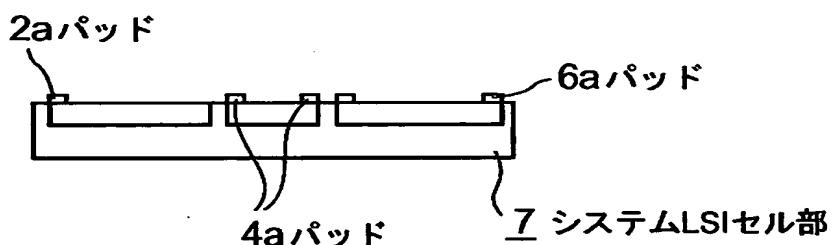
(a)



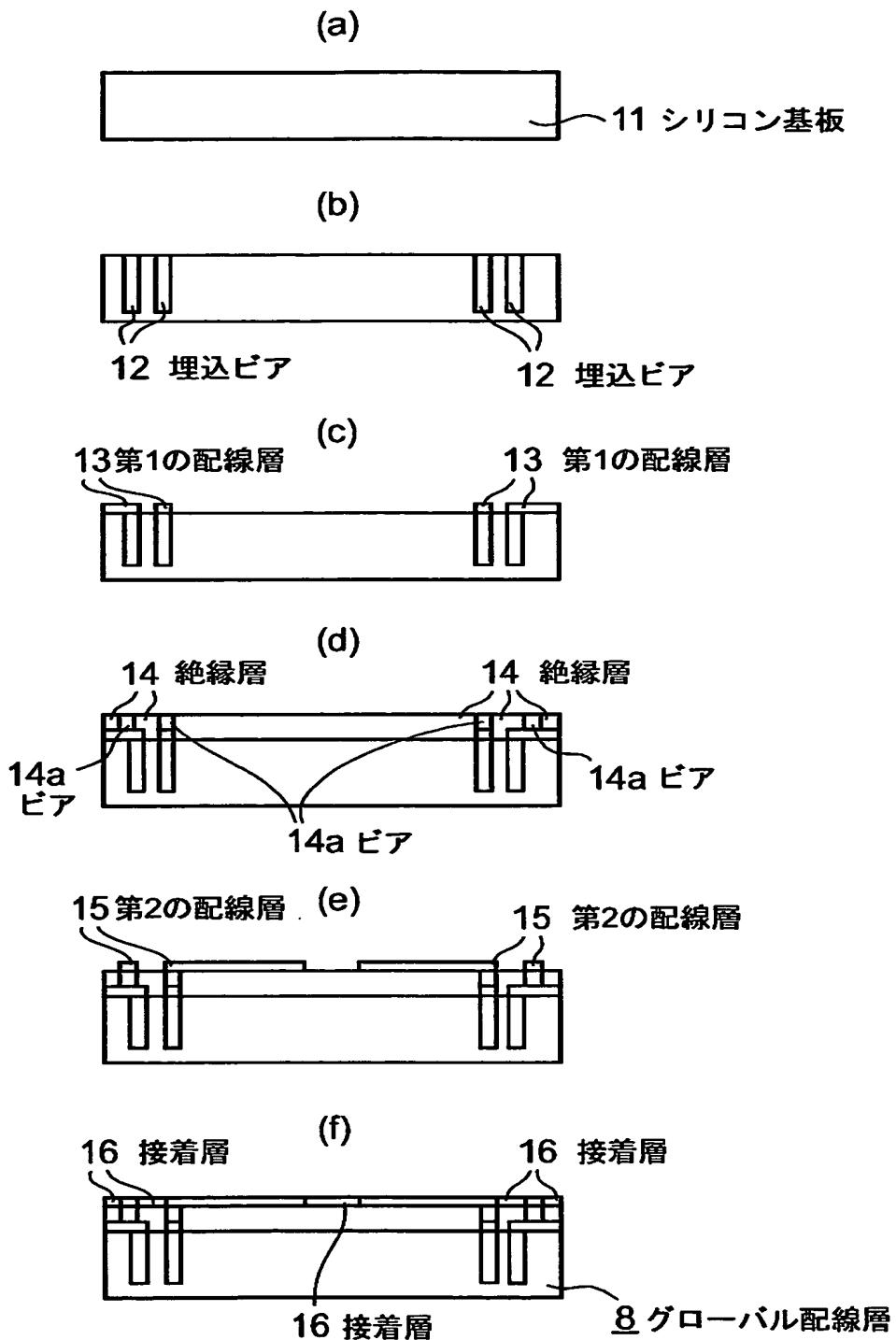
(b)



(c)

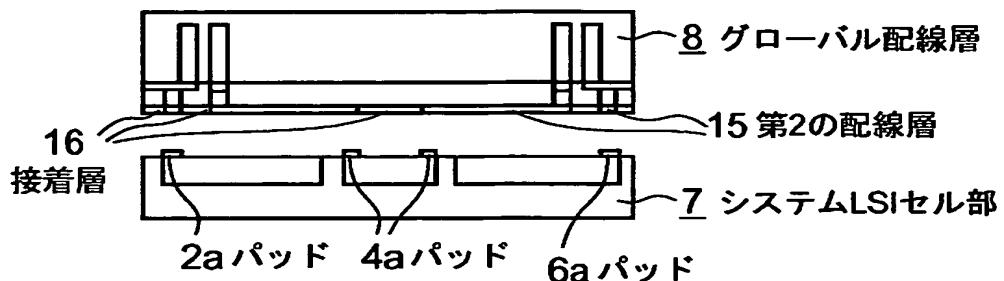


【図5】

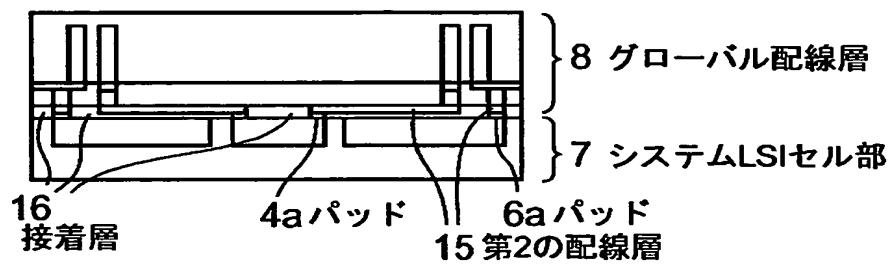


【図6】

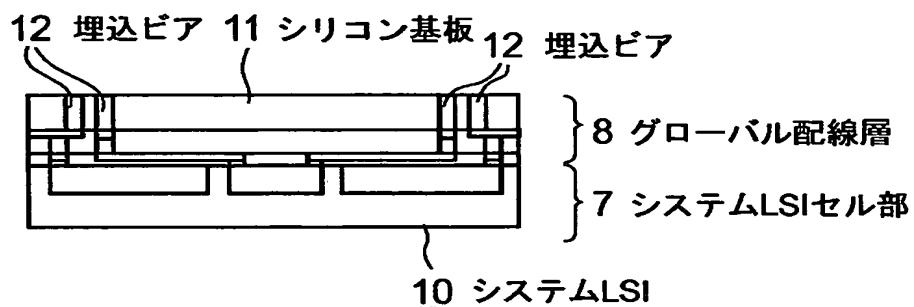
(a)



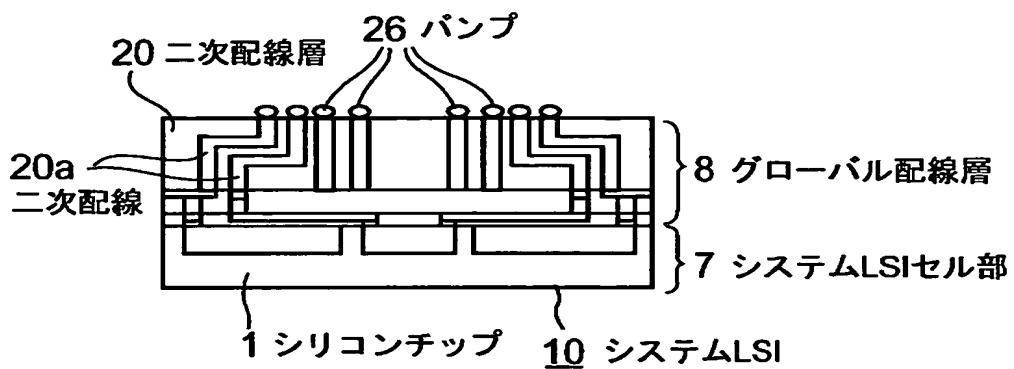
(b)



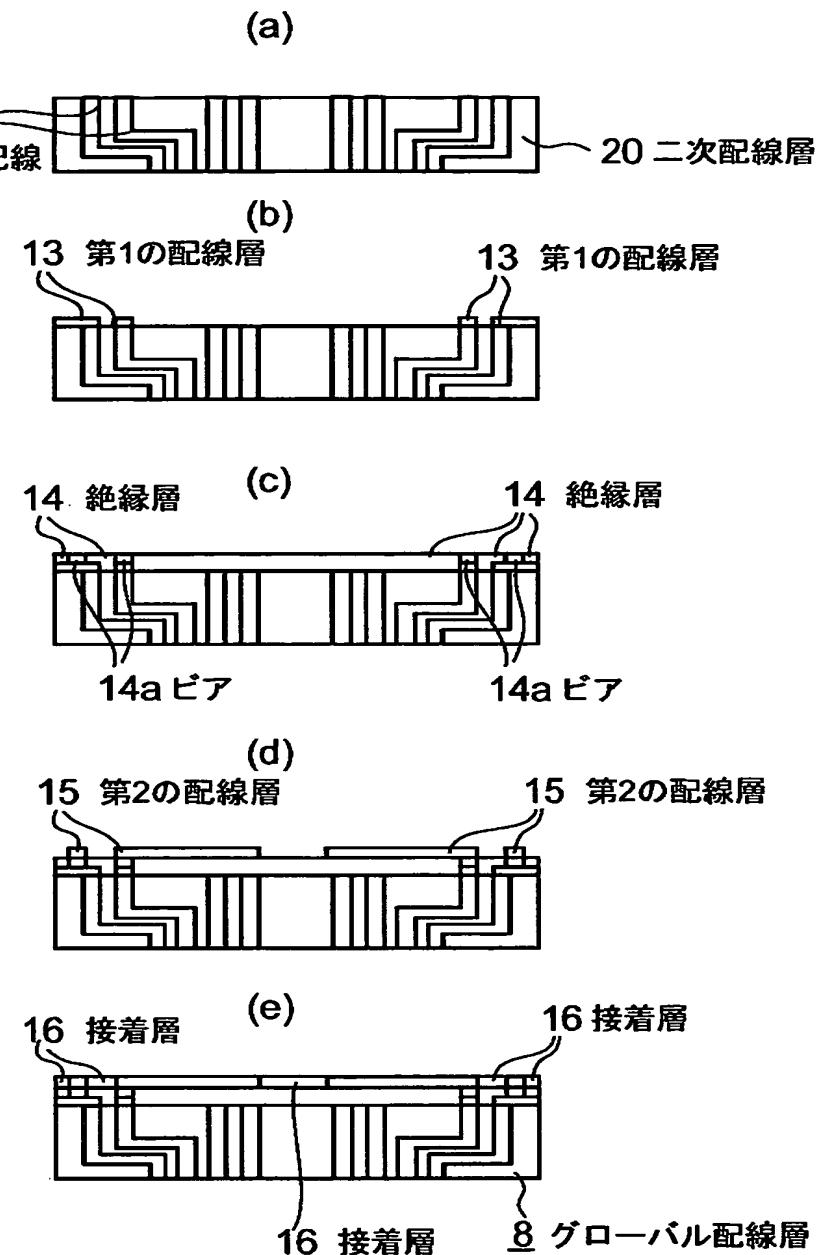
(c)



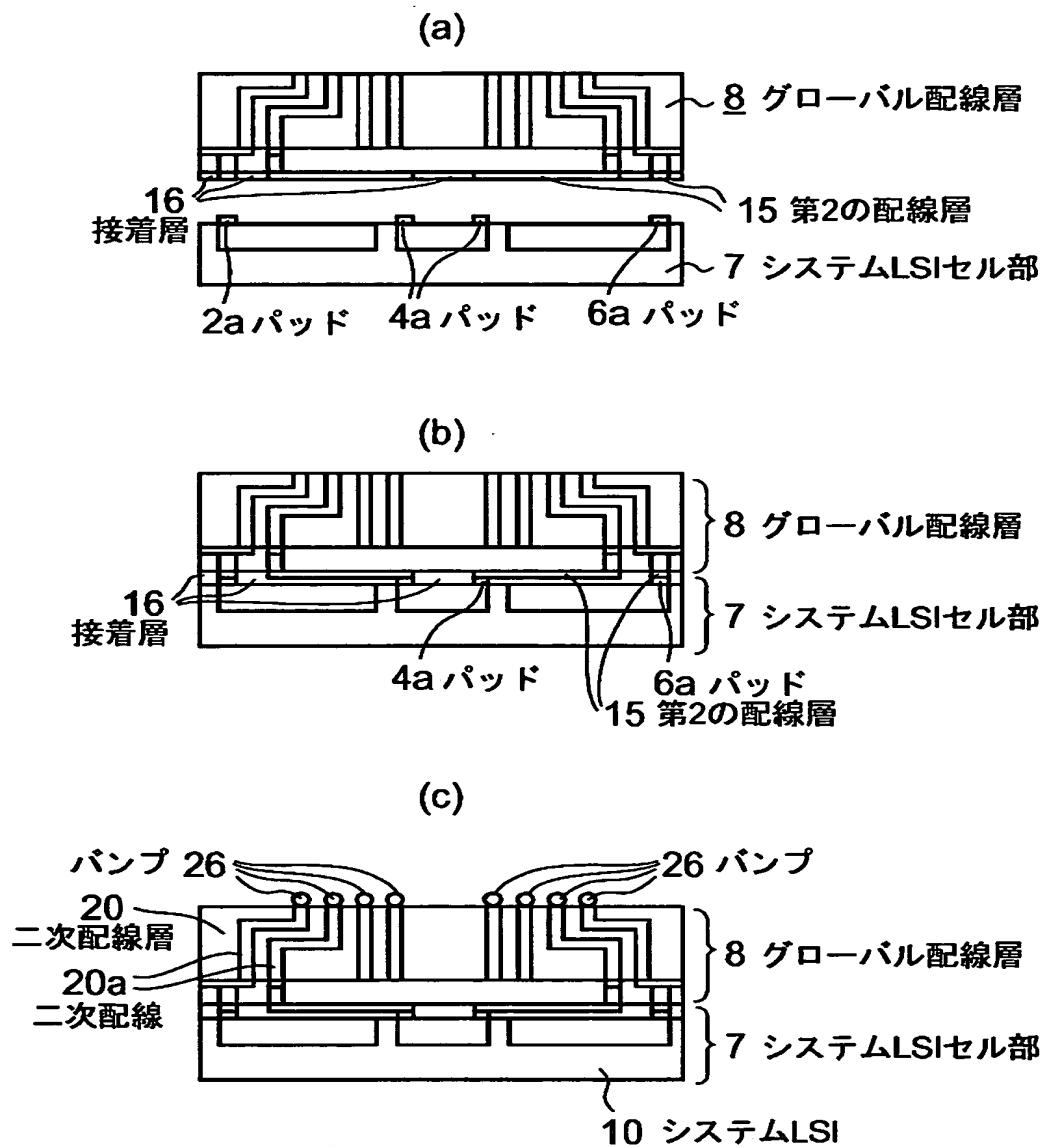
【図7】



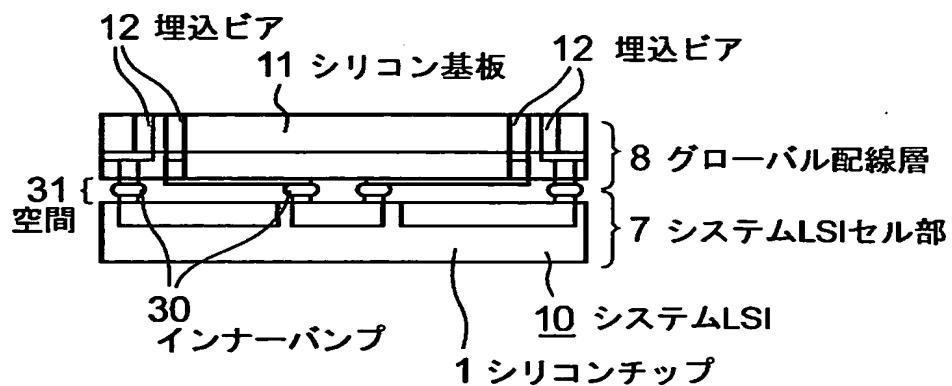
【図8】



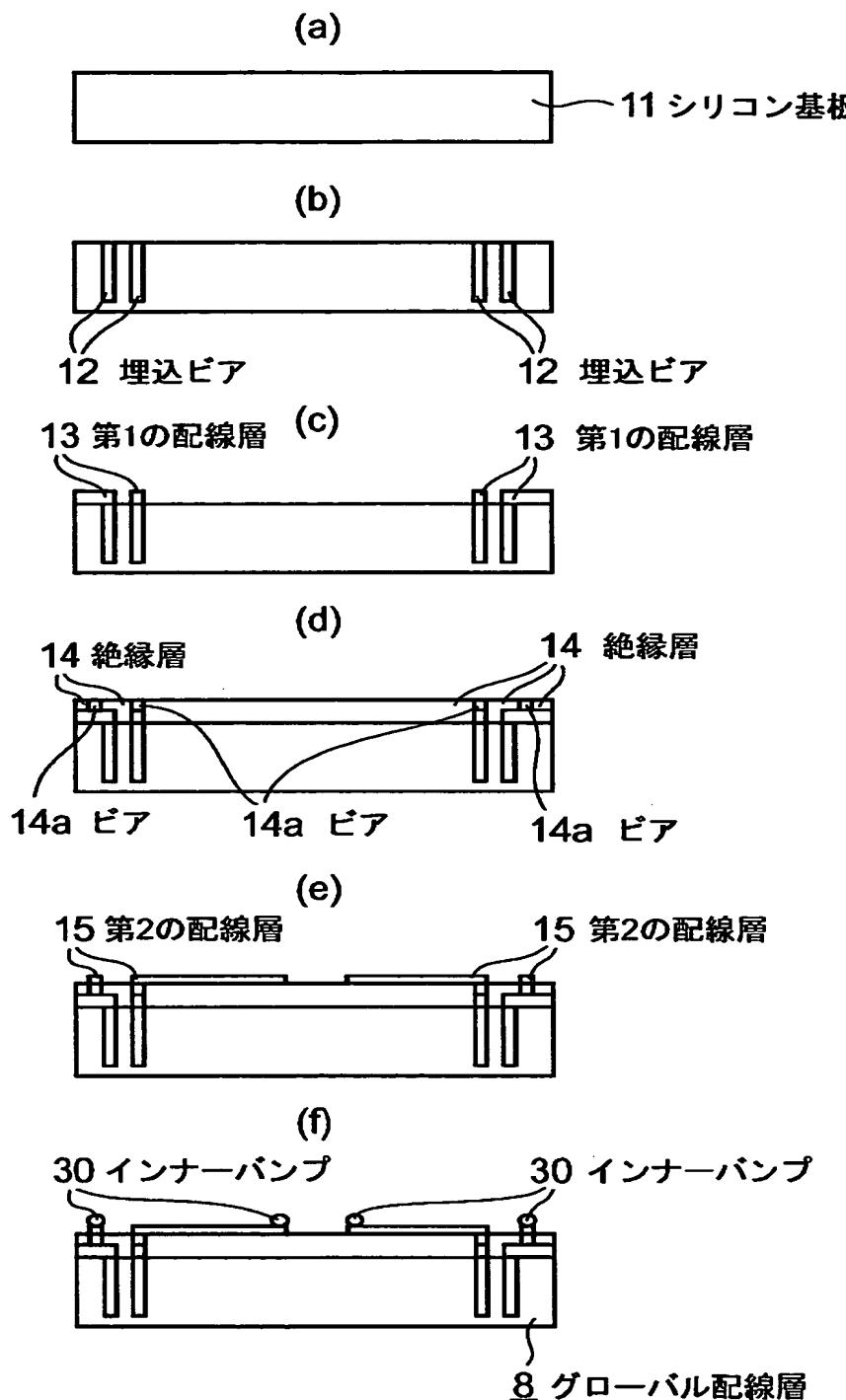
【図9】



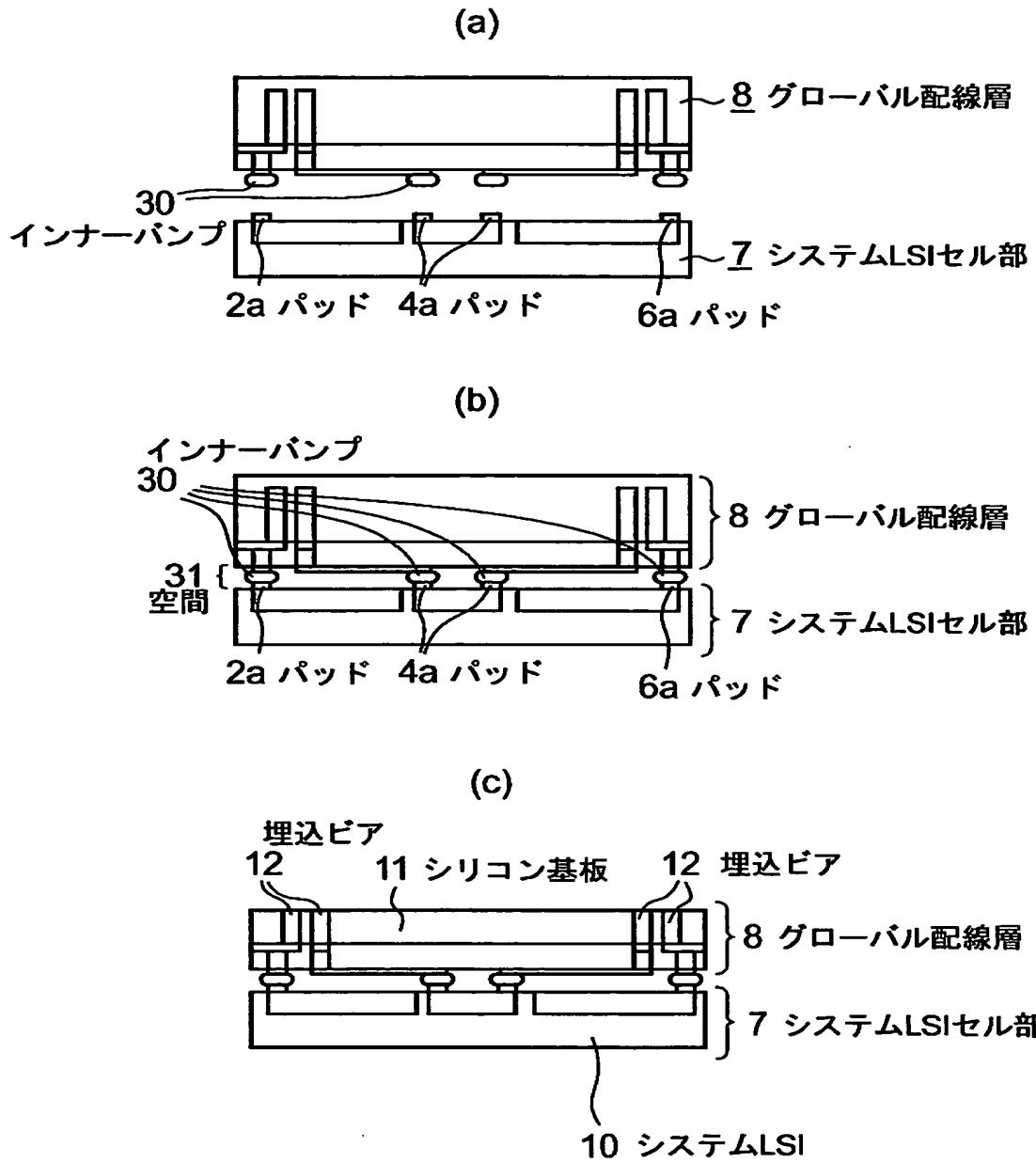
【図10】



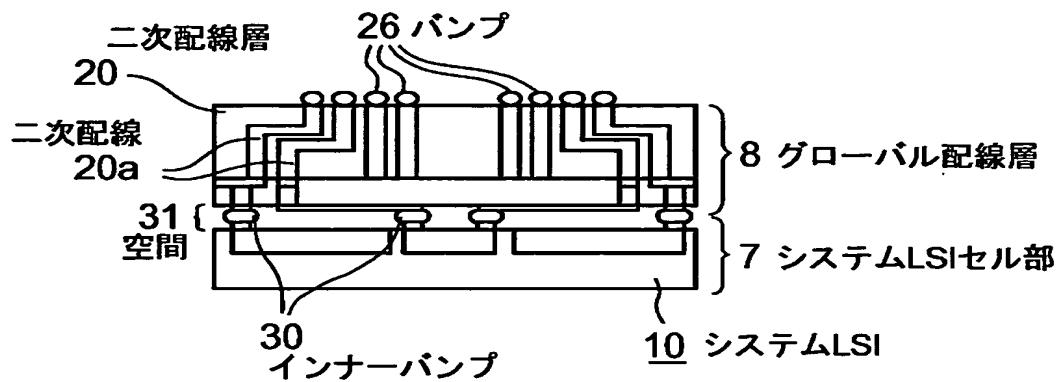
【図11】



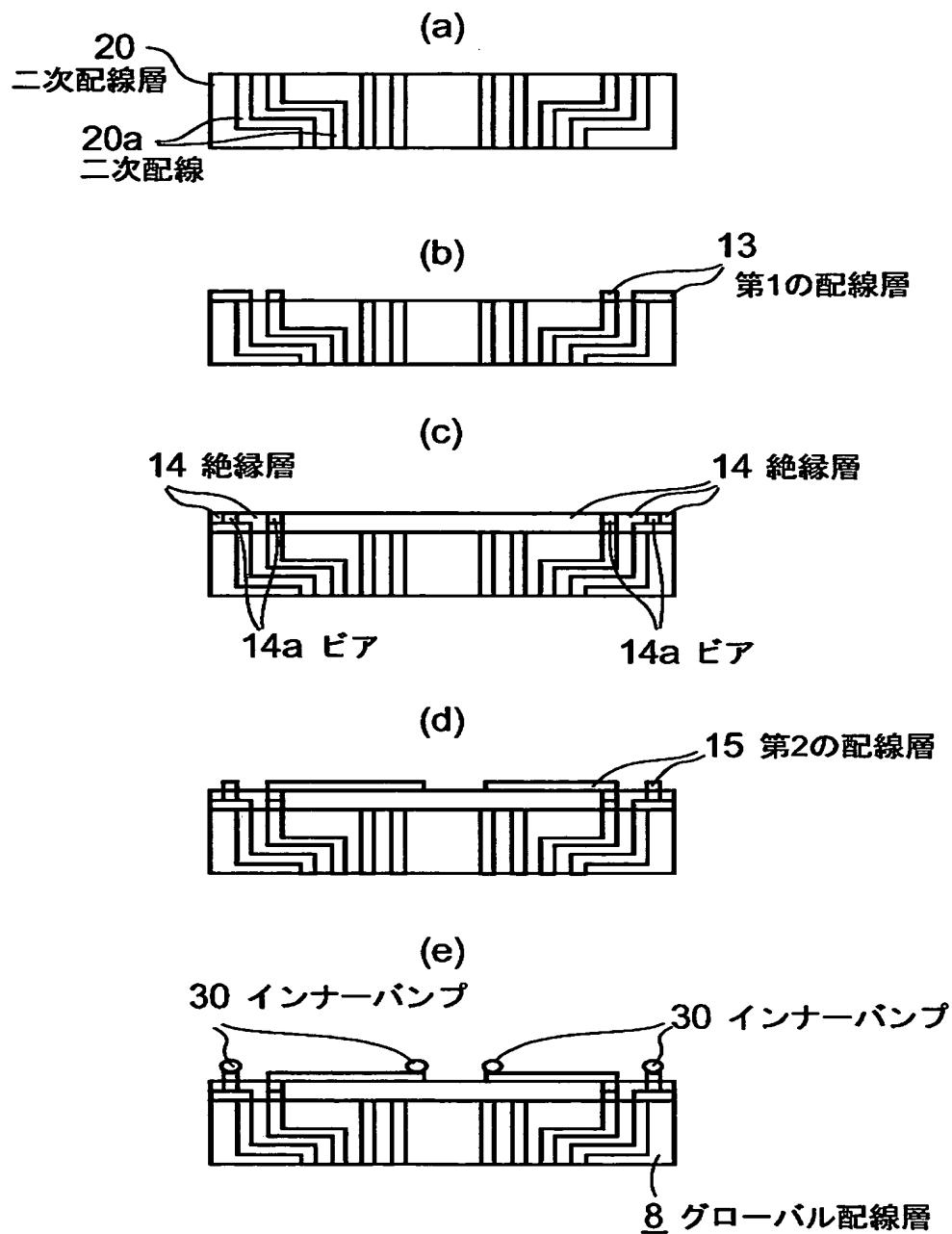
【図12】



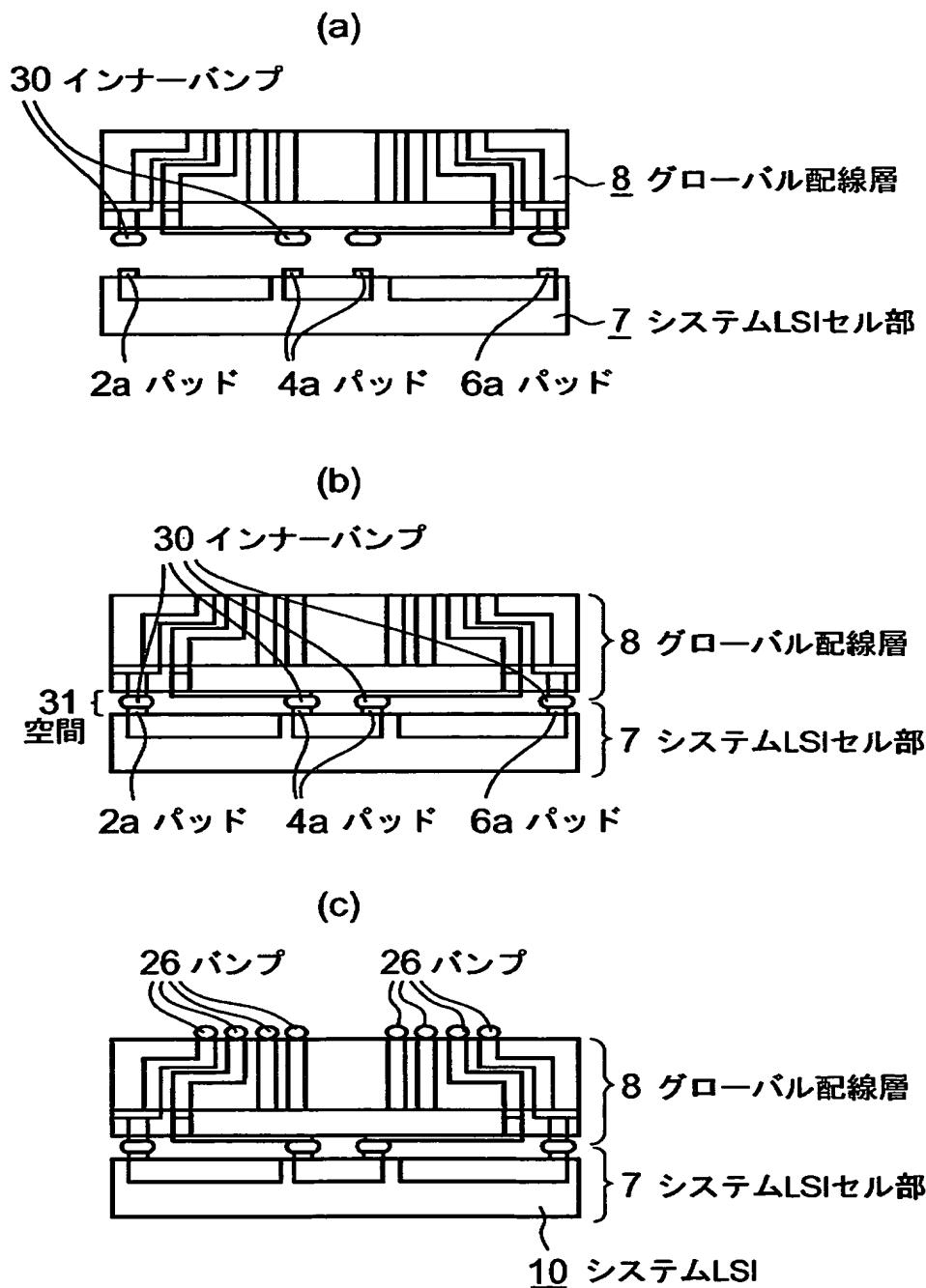
【図13】



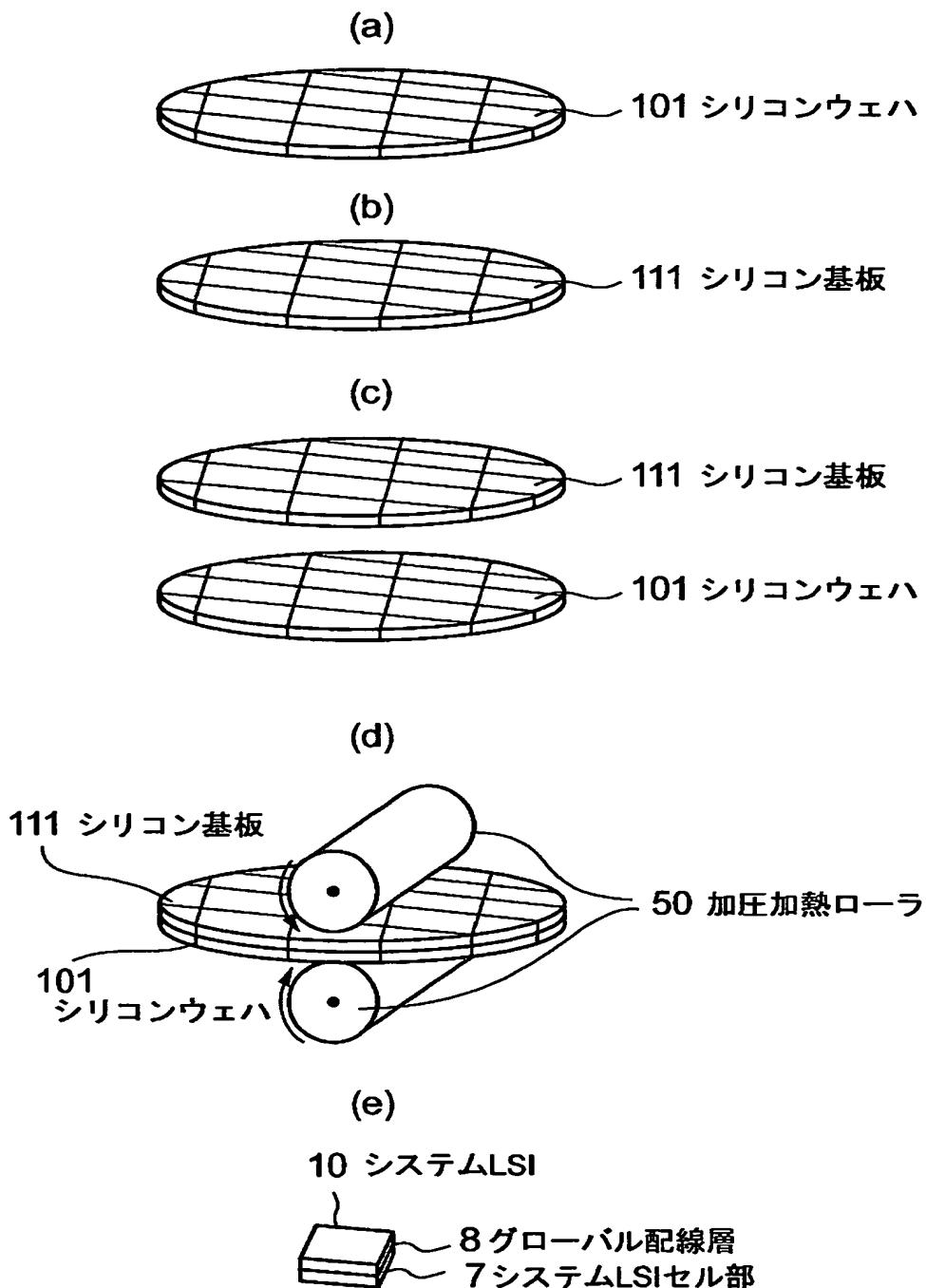
【図14】



【図15】



【図16】



【書類名】 要約書

【要約】

【課題】 作製工程が簡素で、作製コストが低減でき、物理的、電気的特性を改善した、システム半導体装置及びシステム半導体装置の製造方法を提供する。

【解決手段】 半導体チップ1上に特定の機能を実現するための単位回路である機能ブロック2～6が形成されたシステムLSIセル部7と、半導体基板11上に配線層13、15が形成され、システムLSIセル部7に貼り合わされて機能ブロック2～6を相互に電気的接続するグローバル配線層8とを具備する。

【選択図】 図1

認定・付加情報

特許出願の番号 平成11年 特許願 第193962号
受付番号 59900655023
書類名 特許願
担当官 第五担当上席 0094
作成日 平成11年 7月12日

<認定情報・付加情報>

【提出日】 平成11年 7月 8日

次頁無

特平11-193962

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社